

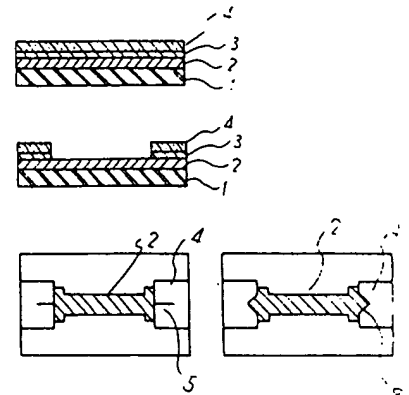
JP 356080152 A  
JUL 1981

# 54 THIN-FILM TYPE INTEGRATED CIRCUIT DEVICE

11 56-80152 A 43 1.7.1981 19 JP  
21 Appl. No. 54-158325 22 6.12.1979  
71 NIPPON DENKI K.K. 72 TAKEFUMI NAKASHIMA  
51 Int. Cl. H01L27 01, H01C17 06

**PURPOSE:** To prevent the flowage of the solder layer of the thin-film type integrated circuit whose electrode patterns have been provided at both ends of a thin film resistance formed on an insulative substrate, by forming each electrode pattern into shape which has a slit or cut.

**CONSTITUTION:** On an insulative substrate 1 of ceramic or the like, a resistance element 2 of a desired pattern is formed of tantalum or the like. Then this is coated with the first conductive layer 3 of NiCr or the like which is adhesive to the resistance element 2 so that the thickness is  $200 \sim 300 \text{ \AA}$  and the second conductive layer 4 of Au or the like which is adhesive to solder by, e.g., vacuum evaporation. Moreover, these conductive layers are patterned into shape shown in the figure by photoresist method or the like. By said constitution, because a slit 5 or cut 6 has been made in the conductive layers 3 and 4, the flowage of the solder layer can be prevented when it is formed by solder dip.





⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56-80152

⑬ Int. Cl.<sup>3</sup>

H 01 L 27/01

H 01 C 17/06

識別記号

庁内整理番号

6426-5F

6240-5E

⑭ 公開 昭和56年(1981)7月1日

発明の数 1

審査請求 未請求

(全 2 頁)

⑮ 薄膜集積回路装置

⑯ 発明者 松本洋一

東京都港区芝五丁目33番1号日

本電気株式会社内

⑰ 特 願 昭54-158325

⑱ 出 願 昭54(1979)12月6日

⑲ 出 願 人 日本電気株式会社

⑳ 発 明 者 中島猛

東京都港区芝五丁目33番1号日

本電気株式会社内

東京都港区芝五丁目33番1号

㉑ 代理人 弁理士 内原晋

明 細 書

1. 発明の名称

薄膜集積回路装置

2. 特許請求の範囲

絶縁性基板と、この基板面上に回路形状に形成された抵抗薄膜と、この膜上に部分的に形成された第一導電層と、この層上に形成された第二導電層と、さらにこの層上に形成された半田層とからなる薄膜集積回路装置において、前記第一、第二導電層はスリットまたは切込みを有する形状にパターン形成されていることを特徴とする薄膜集積回路装置。

3. 発明の詳細な説明

本発明は薄膜集積回路装置に関し、特に精度の高い抵抗と、半田濡れ性の良好な電極を有する薄膜集積回路に関するものである。

従来、薄膜集積回路の製造方法で、NiCr-Au

等の導体を蒸着導により形成した後、これをパターン化し、この層上に半田層を形成し電極とする手法がしばしば用いられている。また集積度を高めるため、この電極パターンがことさら密着となり、ディスプレイ部品例えばトランジスタ、ダイオード等の電子部品のリード線や、外部端子接続用のリード線及びそれらのリード線を固着するため基板穴に半田が嵌着されやすいことがある。この結果、抵抗体との境界部の半田層が厚くなり、抵抗の变化率が高くなり、特に精度の高い抵抗では問題となる。

本発明の目的は、かかる欠点を除去することが可能な電極を有する薄膜集積回路装置を提供することにある。

本発明は例えば、絶縁性基板と、この基板面上に回路形状に形成された抵抗薄膜と、この膜上に部分的に形成された前記抵抗薄膜と密着性の良い第一導電層と、この層上に形成されかつ前記第一導電層より導電率が高く半田付性の良い第二導電層と、この層上に形成された半田層とからなる薄

伝導回路装置において、前記第一及び第二導電層はスリットまたは切込みを有する形状にパターン形成されていることを特徴とする点にある。

本発明の実施例を図面を参照して説明する。

第1図の如く絶縁基板、例えばセラミック基板1上に所望の抵抗素子2を例えばタンタル等により形成する。しかる後、第2図のように、NiCr等の回路素子2と密着性の良い200～300Åの第一導電層3、及びAu等の半田付性の良い2000～3000Åの第2導電層4を真空蒸着法等により付着形成する。しかる後、フォトリソ法等により第3図のようにパターン形成する。その際、第4図Aまたは第4図Bのように、スリット5または切込み6を設けることにより、半田ディップにより半田層を形成するとき半田層の流出を防止することが可能となる。

4図Bは本発明の各実施例を示す断面図である。

尚、図において

1……絶縁基板、2……抵抗素子、3……第一導電層、4……第二導電層。

代理人 弁理士 内 原 哲

#### 4. 図面の簡単な説明

第1図、第2図及び第3図は本発明の実施例を製造工程順に示す断面図である。第4図A及び第

- 3 -

- 4 -

